

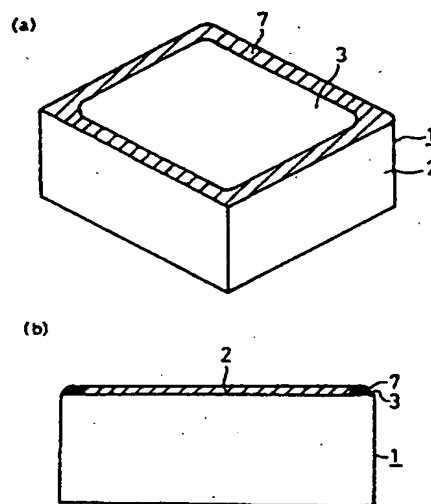
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61216436 A**(43) Date of publication of application: **26.09.86**(51) Int. Cl. **H01L 21/31**(21) Application number: **60059242**(22) Date of filing: **22.03.85**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **KATSUMATA MASABUMI
ISHIHARA OSAMU****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To prevent damages, such as the breaking, cracking, etc. of a semiconductor chip by coating the peripheral section of the semiconductor chip with a protective film such as an insulating film consisting of polyimide, an silicon nitride film, epoxy resin, etc.

CONSTITUTION: A protective film 7 coated for protecting the peripheral section 4 of a semiconductor chip 1 is formed to the peripheral section 4. An insulating film consisting of polyimide, an silicon nitride film, epoxy resin, etc. is used as the protective film 7. A shock to the semiconductor chip 1 is relaxed on the handling of the semiconductor chip 1 in the semiconductor chip 1, the peripheral section 4 thereof is protected by the protective film 7, thus reducing the generation of a breaking 5, a crack 6, etc. due to handling.

COPYRIGHT: (C)1986,JPO&Japio



What is claimed is:

A semiconductor device, characterized in that insulating material is coated on a peripheral portion of a semiconductor chip and the insulating material is caused to serve as a protection film for preventing loss or crack due to handling of the semiconductor chip.

Semiconductor chips are fabricated in the following manner. In a wafer stage, a large number of elements are formed on a wafer, and in a dicing stage, the wafer is divided so as to correspond to the respective elements. Next, the respective elements are conveyed to an assembling stage where they are packaged. In the dicing stage and the following stages, it is necessary to handle each individual semiconductor chip 1, and the semiconductor chip 1 must be handled, when it is die-bonded, among other things. On this handling, as shown in FIG. 2(a), when there is not any protection for peripheral portions of the semiconductor chip 1, a loss 5, a crack 6 and the like are easy to occur due to slight impact or shock generated at the handling time, as shown in FIG. 2(b). Especially, in GaAs device, a loss 5 or a crack 6 is easier to occur in a silicon device. Thus, the handling causes reduction in yield.

FIGS. 1(a) and 1(b) are a perspective view and a front view of a semiconductor chip showing an embodiment of the

present invention. In FIGS 1(a) and 1(b), like reference numerals denote like portions in FIGS. 2(a) and 2(b). Reference numeral 7 denotes a protection film coated on a peripheral portion 4 of a semiconductor chip 1 for protecting the peripheral portion 4. An insulating film such as a polyimide film, a silicon nitride film, an epoxy resin film, or the like is used as the protection film.

In the above-mentioned semiconductor chip 1 protected at the peripheral portion 4 with the protection film 7, an impact or shock imparted on the semiconductor chip 1 at a handling time of the semiconductor chip 1 is reduced, so that occurrence of a loss 5 or a crack 6 which occurs in the conventional art can be reduced.

Particularly, since a semiconductor chip on a GaAs substrate is rich in cleavage property, a loss or a crack is easy to occur therein, as compared with a silicon wafer substrate, thereby affecting production yield. Accordingly, the production yield is greatly improved by using the protection film 7 of the present invention.

Incidentally, in the above embodiment, only a surface of the peripheral portion 4 of the semiconductor chip 1 is coated with the insulating material and protected. However, side surfaces 2 of the semiconductor chip 1 may be coated with insulating material. The insulating material coating step can be performed in a chip state or a wafer state.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-216436

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)9月26日

H 01 L 21/31

6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-59242

⑯ 出 願 昭60(1985)3月22日

⑰ 発 明 者 勝 又 正 文 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 石 原 理 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体チップの周辺部に絶縁物をコーティングし、前記半導体チップのヘンドリングに伴う欠損やクラックを防止するための保護膜としたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置に係り、特に半導体チップのヘンドリングを容易にするための半導体チップの周辺部の補強方法に関するものである。

〔従来の技術〕

従来、半導体チップは第2図(a)に示すように、半導体チップの周辺部は何も保護されていなかった。すなわち、第2図において、1は半導体チップ、2は前記半導体チップ1の側面、3は前記半導体チップ1上に形成された半導体装置の動作部分、4は前記半導体チップ1の周辺部である。また第

2図(b)は半導体チップ1にヘンドリングにより損傷が生じたときの半導体チップ1の斜視図で、5aは前記半導体チップ1の角部に生じた割れ等の欠損、5bは同じく側面に生じたカケ等の欠損である。なお、以下の説明では、割れ等の欠損5a、カケ等の欠損5bをまとめて欠損5という。6はクラックである。

半導体デバイスは、ウェーハ工程においてウェーハ上に多数の素子が形成され、次いでダイシング工程において各素子が分離され、組立工程に移り、パッケージングされて作られる。ダイシング工程以降では、個々の半導体チップ1をヘンドリングする必要があり、取分け半導体チップ1をダイポンドするときなど必ずヘンドリングが伴う。このヘンドリングの際、第2図のように半導体チップ1の周辺部4が何も保護されていないと、ヘンドリング時の多少の衝撃で第2図(b)に示すように欠損5、クラック6等の損傷が生じ易い。特にGaAsデバイスにおいては、シリコンデバイスの場合よりも欠損5やクラック6が生じ易く歩留り低

下の原因となつている。

〔発明が解決しようとする問題点〕

上記のように、周辺部4が保護されていない従来の半導体チップ1は、以上のようにヘンドリングに伴う欠損5、クラック6などの損傷が生じ易く、歩留り向上にも問題となつていた。また以上の理由により、半導体チップ1を扱う場合にもかなりの修練が必要であつた。特にG&A基板の半導体チップにおいては、S1基板に比べて欠損5、クラック6が生じ易く、歩留り向上にも大きな問題となつていた。

この発明は、上記のような問題点を解消するためになされたもので、半導体チップの欠損、クラック等の損傷を生じにくくすることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、半導体チップの周辺部を保護膜、例えばポリイミド、シリコン酸化膜、エポキシ樹脂などからなる絶縁膜をコーティングしたものである。

〔作用〕

いた。したがつて、この発明による保護膜7を用いることにより、歩留りが大きく向上する。

なお、上記実施例では、半導体チップ1の周辺部4の表面だけを絶縁物をコーティングして保護するようにしたが、半導体チップ1の側面2をコーティングしてもよい。また絶縁物をコーティングする工程は、チップの状態においてもウエハの状態でもよい。

また上記実施例では、半導体チップ1の欠損5やクラック6等の損傷の防止効果について説明したが、これに付随して半導体チップ1の周辺部4の金属パターンを押える効果もある。

〔発明の効果〕

この発明は以上説明したとおり、半導体チップの周辺部に絶縁物をコーティングして保護膜を形成したので、半導体チップの周辺部はこの保護膜によつて保護されるので、従来ヘンドリング時に生じていた欠損やクラック等の損傷の発生を防止することができ、作業性の向上とともに歩留りの向上も図れる利点がある。

この発明においては、半導体チップの周辺部が保護膜によつて保護されているから、ヘンドリングによる欠損、クラック等の損傷が生じにくくなる。

〔実施例〕

第1図(a)、(b)はこの発明の一実施例を示す半導体チップの斜視図および正面図である。第1図において、第2図と同一符号は同じ部分を示し、1は図記半導体チップ1の周辺部4に、この周辺部4を保護するためにコーティングされた保護膜であり、例えばポリイミド、シリコン酸化膜、エポキシ樹脂等の絶縁膜が用いられる。

上記のような周辺部4を保護膜7で保護した半導体チップ1は、半導体チップ1のヘンドリング時に半導体チップ1に対する衝撃が和らげられ、従来生じていたヘンドリングに伴う欠損5やクラック6等の発生を減少させることができる。

特にG&A基板の半導体チップは、シリコン基板ウエハに比べへき開性に富むため欠損やクラックが生じ易く、歩留りにも大きな影響を与えて

4. 図面の簡単な説明

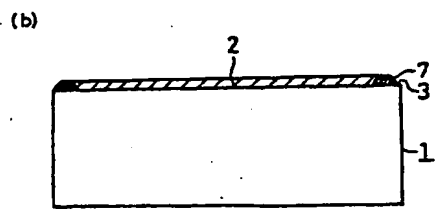
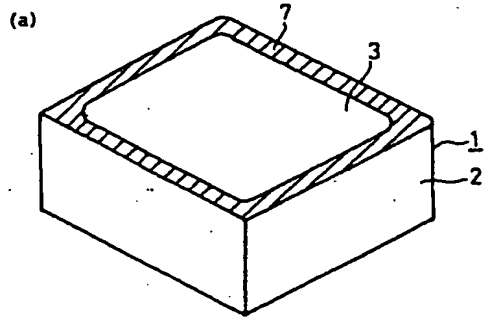
第1図(a)、(b)はこの発明の一実施例を示す半導体チップの斜視図および正面図。第2図(a)、(b)は従来の半導体チップを示す斜視図および欠損、クラック等の損傷状態を説明する斜視図である。

図において、1は半導体チップ、2は半導体チップの側面、3は動作部分、4は半導体チップの周辺部、7は保護膜である。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)

第 1 図



- 1: 半導体チップ
- 2: 半導体チップの側面
- 3: 動作部分
- 7: 保護膜

第 2 図

